

令和6年度専攻科入学者選抜前期学力検査問題
電気情報システム工学専攻 情報系 専門 I (論理回路・計算機工学) (1/4)

受験番号	氏 名	得 点	総 得 点
		24	100

【1】以下の論理式Zを、分配則や結合則などブール代数を用いて（式変形を用いて）簡単化せよ。簡単化は演算の回数が最小となるように変換する操作である。解答欄には簡単化の過程（式変形の様子）を示すこと。ただしAとBの論理積は「AB」、AとBの論理和は「A+B」、Aの否定は「 $\bar{A}$ 」のように表現する。（4点×3＝12点）

(1) $Z = (AB + C)A$

(2) $Z = AAB + A\bar{A}B + AB$

(3) $Z = AB + \bar{A}BC$

(1)	$Z = ABA + CA$ $= AB + AC$ $= A(B + C)$ 過程は、誤りでなければ、書いてあればよい((2)(3)も同様) AB+ACなら、「-2」	(2)	$Z = AB + 0B + AB$ $= AB + AB$ $= AB$	(3)	$Z = AB(C + \bar{C}) + \bar{A}BC$ $= ABC + AB\bar{C} + \bar{A}BC$ $= AB(C + \bar{C}) + (A + \bar{A})BC$ $= AB + BC$ $= B(A + C)$ AB+BCなら、「-2」
-----	--	-----	---	-----	---

【2】以下の問いに答えよ。ただしANDゲートは, ORゲートは, NOTゲートは, XORゲートはと表現し、これら以外の論理ゲートは使用しないものとする。（3点×4＝12点）

(1) 入力をA,Bとし、和をS、桁上がり（進位）をCとする1ビットの半加算器を設計する。

(a) 解答欄の空欄を正しく埋め、この半加算器の真理値表を完成させよ。

(b) この半加算器の論理回路図を示せ。ただし、使用する論理ゲートは3つまでとし、解答欄のA, B, S, Cの記載を入出力として利用して作図すること。

(2) 2つの1ビットのデータをA,Bとし、前段からの桁上りをC、それらの和をS、次段への桁上りをCCとする1ビットの全加算器を設計する。

(a) 解答欄の表は、この全加算器の真理値表の一部を示している。空欄を正しく埋めよ。

(b) (1)の半加算器を図1のように表現するとき、半加算器を可能な限り使用して全加算器の回路を示せ。ただし、解答欄のA, B, C, S, CCを入出力として利用して作図し、半加算器以外に論理ゲートを使用してもよい。

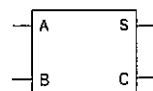
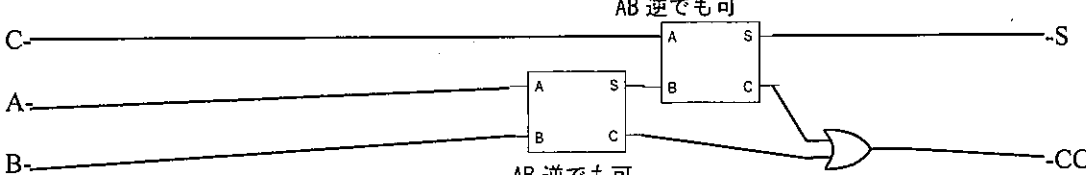


図1

(1) (a)	<table border="1"><tr><td>A</td><td>B</td><td>S</td><td>C</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td></tr></table>	A	B	S	C	0	0	0	0	0	1	1	0	1	0	1	0	1	1	0	1	(1) (b)		(2) (a)	<table border="1"><tr><td>A</td><td>B</td><td>C</td><td>S</td><td>CC</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td></tr></table>	A	B	C	S	CC	0	0	0	0	0	0	1	1	0	1	1	1	0	0	1	1	1	1	1	1
	A	B	S	C																																														
	0	0	0	0																																														
	0	1	1	0																																														
	1	0	1	0																																														
1	1	0	1																																															
A	B	C	S	CC																																														
0	0	0	0	0																																														
0	1	1	0	1																																														
1	1	0	0	1																																														
1	1	1	1	1																																														
(2) (b)																																																		

受験番号	氏 名

得 点
24

- 【3】下図はページング方式の仮想メモリ概念について示したものである。問題中の数値はすべて16進数とし、回答も16進数で答えよ。なお、仮想アドレス空間の実体は、ファイル装置のアドレスF000から連続でマッピングされているものとする。また、ページテーブルの実ページ番号が「-」の場合は、マッピングがされていないものとする。(4点×6=24点)

【仮想メモリ】			【ページテーブル】		【ファイル装置】	
仮想ページ番号	仮想アドレス	データ	仮想ページ番号	実ページ番号	アドレス	データ
1	00	0000 0000	1	-	...	...
	04	0000 0404	2	-	EFFC	FFFF FFFF
2	08	0000 0808	3	★	F000	0000 0000
	0C	0000 0C0C	4	1	F004	0000 0404
3	10	0000 1010			F008	0000 0808
	14	0000 1414			F00C	0000 0C0C
4	18	0000 1818			F010	0000 1010
	1C	0000 1C1C			F014	0000 1414
					F018	AAAA 1818
					F01C	BBBB 1C1C
					F020	FFFF FFFF
					...	...

【実メモリ】		
実ページ番号	実アドレス	データ
1	0	0000 1818
	4	0000 1C1C
2	8	0000 1010
	C	0000 1414

- ・プロセッサが仮想アドレス1Cにアクセスすると、実際には実アドレス (1) にアクセスする。
- ・ページテーブルの★に格納されている実ページ番号は (2) である。
- ・プロセッサが仮想アドレス0Cにアクセスすると、実メモリから実ページ番号1がページアウトされたとする。このとき、ファイル装置のデータが書き換わるアドレスが2個ある。1つはアドレス (3) である。もう1つはアドレスF01Cで書き換わった後の値は (4) となる。
- ・プロセッサが仮想アドレス00にアクセスすると、実メモリから実ページ番号2がページアウトされたとする。このとき、ファイル装置のデータを書き換える必要があるアドレスは (5) 個である。
- ・実メモリ空間が小さい場合、ページイン、ページアウトの処理が頻発してプロセッサがその処理にかかりきりとなり、本来プロセッサがすべき演算等の処理を行えなくなることを (6) という。

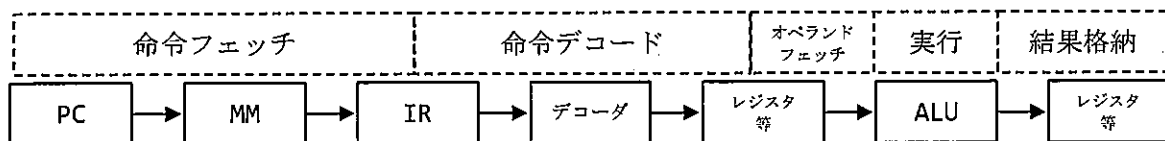
(1)	4	(2)	2	(3)	F018	(4)	0000 1C1C
(5)	0	(6)	スラッシング				

受験番号	氏 名

得 点
16

【4】以下の問いに答えよ。(4点×4=16点)

●コンピュータの命令実行サイクルは、「命令フェッチ→命令デコード→オペランドフェッチ→実行→結果格納」というステージに分かれている。下図は、命令実行サイクルと関連する機構の対応について示している。配線論理制御方式において、演算等の命令を実行するための機構を制御する信号、すなわち制御信号を生成するステージは(1)である。



●割り込み処理機構において、下図の状態ではbit (2)の割り込み処理が実行される。数値を答えよ。

bit	7	6	5	4	3	2	1	0
割り込みフラグレジスタ	0	0	0	0	1	0	1	0
割り込みマスクレジスタ	1	1	1	1	1	0	0	0

$$32\text{bit} \times 4 \times 256 = 4 \text{ k byte}$$

●下図はキャッシュメモリの構造を表した概念図である。このキャッシュメモリの構造において、indexが0から255までである場合、このキャッシュメモリのデータ部の容量は(3) k byteである。また、下図においてメインメモリからキャッシュメモリにコピーされた後に、キャッシュメモリに対して書き込みアクセスが行われた箇所があるが、それはindexの番号が(4)の箇所である。

名称	ダーティビット	バリッドビット	タグ部	データ部
ビット数	1 bit	1 bit	8 bit	32 bit×4

index = 0	0	1	0000 1111				
index = 1	0	0	1111 0000				
index = 2	1	0	1111 1111				
index = 3	0	0	1010 1010				

(1)	命令デコード	(2)	3	(3)	4	(4)	2
-----	--------	-----	---	-----	---	-----	---

受験番号	氏 名

得 点
36

【5】次の文の空欄に最も適する用語や数値を，解答欄に記入せよ。（3点×12＝36点）

- ・固定小数点数表現の2進数における基本的な除算手順に繰り返し除算法がある。この方法は、除数と被除数の大小比較と (1) が実際には同じ演算器で表現できるにも関わらず、異なるタイミングで行う手順となっている。この問題を解消した除算法として、引き戻し法と引き放し法がある。空欄に適する演算を答えよ。
- ・コンピュータにおけるソフトウェア・ハードウェアの機能分担について、複雑で高度な機能をできるだけハードウェアで実現しようとする方針を、英略語で (2) という。この考え方は、ひとつの命令で複雑な処理を実行するという方針である。Complex Instruction Set Computer
- ・コンピュータの命令機能の評価指標として、1つの命令実行にかかる時間のことを平均命令実行時間という。英略語では (3) と書く。Time Per Instruction
- ・サブルーチン分岐において、サブルーチンからの戻り先を覚えておくためのメモリ機構を (4) という。そのメモリ機構に情報を格納することをプッシュダウンという。
- ・プロセッサにおける高速化技術の1つで、命令パイプラインのすべてのステージを多重化することで、時間的にも空間的にも多重化して高速化を図る技術を (5) という。
- ・ハードディスクを複数台組み合わせて、ファイル装置全体の信頼性や速度性能を高める技術を、英略語で (6) という。
- ・キャッシュのアクセス時間が 4 [n秒]、メインメモリのアクセス時間が 60 [n秒]、キャッシュのヒット率が 90% の場合、実効アクセス時間は (7) [n秒]である。 $4 * 0.9 + 60 * 0.1 = 3.6 + 6 = 9.6\text{ns}$
- ・キャッシュメモリに書き込みアクセスがあった場合、コピー元であるメインメモリにも書き込み内容を反映させ、同一性を保つ必要がある。この同一性のことを (8) という。英単語で答えよ。
- ・メモリ装置と通信経路を、命令用とデータ用に分離することで、命令アクセスとデータアクセスの競合が起こらないようにする技術を「 (9) アーキテクチャ」という。
- ・キャッシュメモリにおけるライン置換アルゴリズムにおいて、一定時間内のアクセス回数が最も小さいラインを優先して置換するアルゴリズムを、英略語で (10) という。Least Frequency User
- ・コンピュータの命令において、「ADD R0 R4」のようにオペランドが2つの命令形式を「 (11) 形式」という。
- ・ $(2.5)_{10}$ を符号なし2進数の浮動小数点数で表すとき、 0.101×2^2 のような形とすることを正規化という。 $(8.375)_{10}$ を正規化した符号なし2進数の浮動小数点数で表すと (12) となる。 1000.011

(1)	減算	(2)	CISC	(3)	TPI	(4)	スタック
(5)	スーパー スカラ	(6)	RAID	(7)	9.6	(8)	coherency
(9)	ハーバード	(10)	LFU	(11)	2 アドレス (2 オペランド)	(12)	0.1000011×2^4