

令和7年度専攻科入学者選抜前期学力検査問題

電気情報システム工学専攻 情報系 専門Ⅰ (論理回路・計算機工学)

(1/5)

受験番号	氏 名

得 点

総 得 点

問1. 表1の真理値表において, A, B, C, Dが入力, Zb, Zcが出力である. 表1に示されているように, 10通りの入力に対して出力が定義されていて, その他の入力は想定されない. つまり, その他の入力に対する出力は何でもよい.

いま, ZbやZcを出力する論理回路の設計を考える. (各4点)

- (1) Zbを入力を用いた論理式で表せ. ただし簡単化されていること.
- (2) Zcを入力を用いた論理式で表せ. ただし簡単化されていること.
- (3) 表1の定義のもと $Zb + Zc$ は, 最も簡単にどのように表せるか.

表1 真理値表

A	B	C	D	Zb	Zc
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	0
0	0	1	1	1	1
0	1	0	0	1	1
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	1
1	1	0	0	1	1
1	1	0	1	0	1
上記以外				任意	任意

(1)		(2)		(3)	$Zb + Zc =$
-----	--	-----	--	-----	-------------

問2. JK-FFを用いた図1の回路がある. Aは回路への入力であり, 1(Hi)と0(Low)が交互に繰り返される. Hは常に1(Hi)である. D_0, D_1, D_2 は出力である. 初期値は $A=0, (D_2, D_1, D_0)=(0, 0, 0)$ であるとする. (各4点)

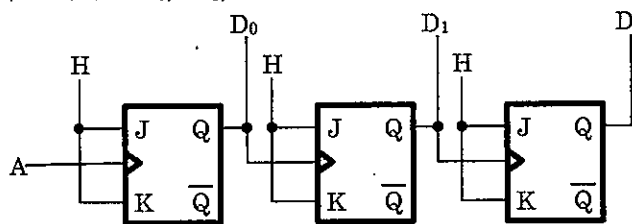


図1 JK-FFを用いた回路

- (1) 最初にAが1になったとき, 出力(D_2, D_1, D_0)は何になるか. (添字の順序に注意)
- (2) Aが2回だけ1になったとき, 出力(D_2, D_1, D_0)は何になるか. (添字の順序に注意)
- (3) この回路は, Aがある回数「1」になると出力が初期状態に戻る. その最初回数は何回か.
- (4) この回路の動作(機能)を説明せよ. または, 回路の動作を適切に表す名称を付けよ.

(1)	$(D_2, D_1, D_0) = (\quad , \quad , \quad)$	(2)	$(D_2, D_1, D_0) = (\quad , \quad , \quad)$	(3)	回
(4)					

受験番号	氏 名

得 点

問 3. 浮動小数点数加減算機構に関して(1)～(8)に当てはまる数値を答えよ。なお、ある 2 進数を Q とするとき、その補数は $\bar{Q}$ で表す。また、負数には 2 の補数表現を用いる。(各 3 点)

図 2 は、浮動小数点数 X と Y との加算 $S = X + Y$ または $S = X + (-Y)$ を行う浮動小数点数加算機構である。浮動小数点数 X と Y および S は以下式で表される。

$$X = P \times 2^p, \quad Y = Q \times 2^q, \quad S = R \times 2^r$$

$$\text{従って, } S = P \times 2^p + Q \times 2^q$$

$$= (P \times 2^{p-q} + Q) \times 2^q$$

また、 X 、 Y 、 S を格納する機構は、正規化した浮動小数点数の指数と仮数を格納し、指数は符号付きの 10 進数、仮数は符号付き 2 進数で表すものとする。例えば、 $X = -(0.0011)_2$ の場合、正規化すると $X = -(0.11)_2 \times 2^{-2}$ となるため、 p には -2 、 P には -0.11 を格納する。

$X = 4.625$ 、 $Y = -3.5$ のときの和 S を求める。

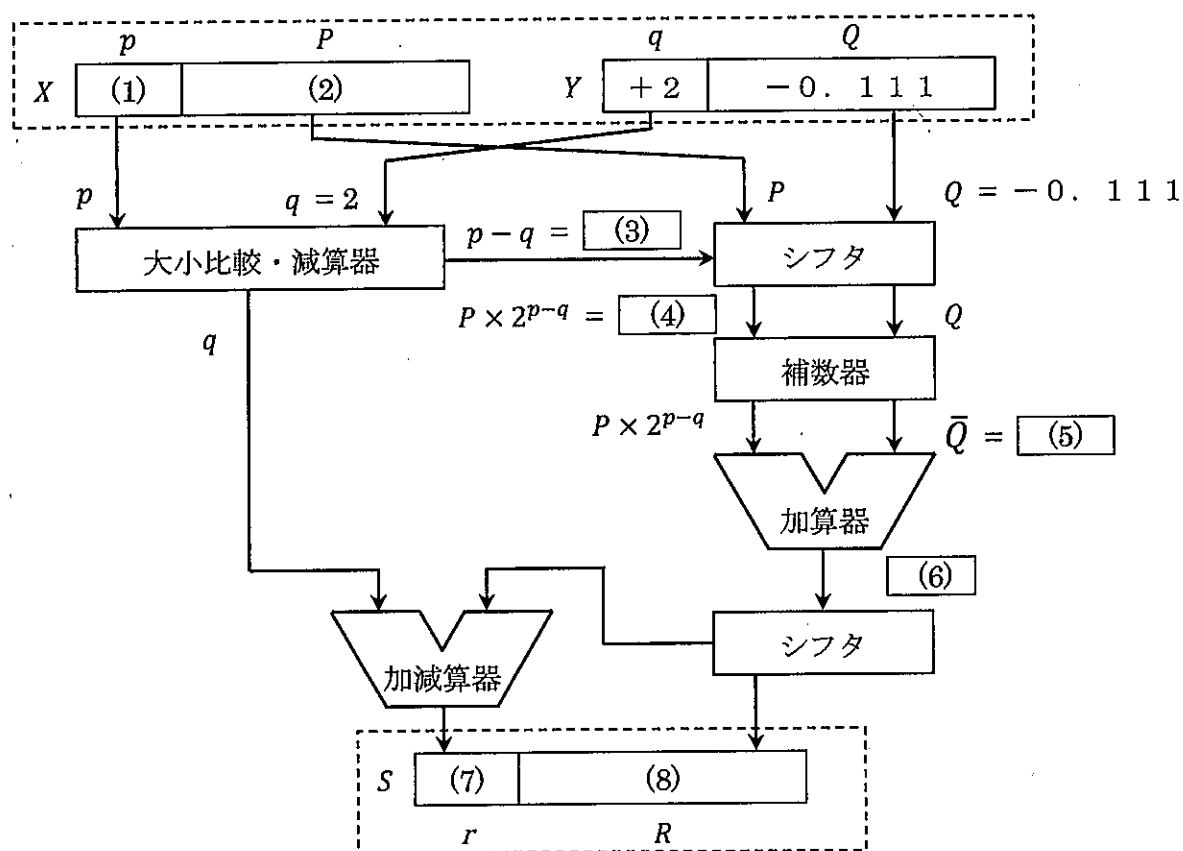


図 2 浮動小数点数加減算機構

(1)		(2)		(3)		(4)	
(5)		(6)		(7)		(8)	

受験番号	氏 名

得 点

問4. 図3は、仮想メモリの原理の概念図である。仮想メモリと実メモリのマッピング単位は1つのアドレスとする。図3のアドレスとデータは16進数とする。属性は2進数 (2bit) である。また、設問のために図3の一部を空欄にしてある箇所がある。以下問いに答えよ。数値は16進数として答えよ。(各4点)

仮想メモリ	
アドレス	データ
00	5A
01	12
02	
03	F0
.	.
.	.
.	.
FD	F0
FE	FF
FF	FF

アドレス変換テーブル (連想メモリ)		
アドレス	データ	属性
0	03	00
1	57	10
2	01	11
3	FF	11
4	02	11
5	00	11
...	...	...
★	FD	11

実メモリ	
アドレス	データ
0	F0
1	1C
2	12
3	FF
4	46
5	5A
...	...
F	F0

属性は bit1 がバリッド, bit0 が更新ビットを示す。例えば、属性が「10」の場合、「そのアドレスのマッピングは有効で、書き込みアクセスが行われていない」を示す。

図3 仮想メモリの原理の概念図

仮想メモリにアクセスすると、そのデータにアクセスすることができる。例えば、仮想メモリのアドレス「01」にアクセスすると、データ「12」が読み出されるが、実際には、仮想メモリのアドレス「01」にアクセスする場合、アドレス変換テーブル (連想メモリ) のデータを検索すると、データ「01」が格納されている場所がアドレス「2」となるので、実メモリのアドレス「2」にアクセスして、データ「12」が読み出されるという動作となる。

※以下の問いについて、図3の状態から判断できる範囲で解答せよ。

- 仮想メモリのアドレス「02」にアクセスすると、データ (1) が読み出される。
- 仮想メモリのアドレス (2) にアクセスしようとする、マッピングされている実メモリが存在しないため、メモリアクセス例外が発生する。該当するアドレスを2つ答えよ。
- アドレス変換テーブルの★に入る数値 (アドレス変換テーブルのサイズ) は (3) である。
- ブロック置換が行われる手順は以下である。【1】実メモリのデータを、仮想メモリ空間の実体が格納されているファイル装置に書き込む。【2】ファイル装置のデータを実メモリに書き込む。【3】アドレス変換テーブルのデータを該当する仮想メモリのアドレスに書き換える。図3の状態において、【1】の操作が不要となる仮想メモリのアドレスは (4) である。

(1)		(2)		(3)		(4)	
-----	--	-----	--	-----	--	-----	--

受験番号	氏 名

得 点

問5. 以下問いに答えよ。(各4点)

- (1) 図4は1アドレス形式の概念図である。例として「 $2+3=5$ 」を計算する場合において、手順2に入る手順を文章で説明せよ。なお、ACには初期値として「0」が格納されている。

手順1：R1に「2」を格納する。

手順2：

手順3：手順2による演算結果をACに格納する。

手順4：R1に「3」を格納する。

手順5：ALUで加算を実行することで、「 $R1+AC$ 」すなわち「 $3+2$ 」が実行され、演算結果は「5」となる。

手順6：手順5による演算結果、すなわち最終的な演算結果「5」をACに格納する。

- (2) 図5のプログラム例では、配列ary[0]のメモリ領域に数回のアクセスが発生する。これは『 的参照 性』という性質を表している。『 』内の空欄を埋めて解答せよ。

- (3) 図6は「フェッチ」～「結果格納」の4ステージの命令実行サイクルにおいて、命令パイプライン処理でデータハザードが発生するが、フォワーディングによってストールを回避している例である。Rxはレジスタ名であり、レジスタには数値が格納されているものとする。命令2のオペランドフェッチでは、命令1の『 (i) ステージから (ii) 』の値をフォワーディングすることで、ストールを回避できる。『 』内の空欄を埋めて解答せよ。ただし、(i)はステージ名、(ii)はレジスタ名を埋めよ。

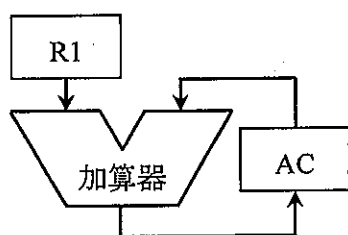


図4 1アドレス形式

```
int main(void){
    int ary[4] = { 0, 1, 2, 3 };
    int i;
    for( i = 0; i < 4; i++){
        ary[0] += ary[i];
    }
}
```

図5 プログラム例

命令1：R3←R1+R2

命令2：R5←R3+R4

フェッチ	オペランド フェッチ	実行	結果格納	
	フェッチ	オペランド フェッチ	実行	結果格納

図6 命令パイプライン処理

(1)	
(2)	的参照 性 (3) ステージから

受験番号	氏 名

得 点

問 6. 次の文の空欄に最も適する用語や数値を, 解答欄に記入せよ. (各 2 点)

- ・ 2進数値 X と Y について, $X - Y$ の演算を行った結果, フラグ (ステータス) の状態がゼロフラグ $Z = 1$, 符号フラグ $S = 0$ となった. ここから分かる X と Y の関係性は (1) である. 次の選択肢から最も適する式を選び, ア〜エで答えよ.

〔選択肢〕 ア. $X = Y$, イ. $X \neq Y$, ウ. $X > Y$, エ. $X < Y$

- ・ データ転送において, 複数のデータを連続で転送することで多量のデータを転送する方法を (2) 転送という. 次の選択肢から選んで答えよ.

〔選択肢〕 同期, 非同期, バースト, インタリーブ, ハンドシェイク

- ・ 装置間の通信において, 要求を送信する信号を (3) といい, それに対する応答を送信する信号をアクノリッジ (acknowledge, ACK) という. カタカナ用語, 英単語, 英略語のいずれか1つを答えよ.

- ・ OSが管理するプロセスの状態は, 実行待ち状態→ (4) 状態→実行中状態と3つの状態を遷移する. 2つめの状態は, 実行できる準備ができており, CPUの割り当て前の状態である.

- ・ メモリへの書き込みアクセスに競合が発生した際に, 書き込むデータを一時的に保持しておく機構を (5) という. パイプライン処理における構造ハザードの対策として利用される.

- ・ クロック周波数が100 MHzのCPUにおいて, 1つの命令を実行するのに5クロックを要した. このときのTPIの値は (6) である. 数値を答えよ. $M = 10^6$ とする.

- ・ 日立製作所 (のちのルネサスエレクトロニクス) が開発したMPUである (7) シリーズは, JAX Aの小惑星探査機「はやぶさ」にも搭載された. 次の選択肢から選んで答えよ.

〔選択肢〕 MC, V, SH, Core, 86

- ・ 複数本のデータ転送路によって複数ビットを同時並列に転送するデータ転送方式を並列転送という. 「並列」は英単語で (8) と書く.

- ・ フリップフロップで情報を記憶することでメモリ機能を実現したメモリ装置で, リフレッシュサイクルが不要のため高速にアクセスできるメモリ装置を「 (9) RAM」という. 空欄に当てはまるアルファベット1文字を答えよ.

- ・ 情報の通信路であるバスに関係する機構としてバスアービタがある. アービタとは (10) という意味である. 次の選択肢から選んで答えよ.

〔選択肢〕 競合, 調停, 衝突, 直列

(1)		(2)		(3)		(4)	
(5)		(6)		(7)		(8)	
(9)		(10)					