

平成 21 年度 シラバス	学年・期間・区分	2年次・前期・選択
	対象学科・専攻	電気情報システム工学専攻
集積回路製造技術 (Fabrication technology for VLSI circuit devices)	担当教員	須田隆夫 (Suda, Takao)
	教員室	電気電子工学科棟 3 階 (tel 42-9070)
	E-Mail	suda@kagoshima-ct.ac.jp
教育形態 / 単位数	講義 / 2単位	
週あたりの学習時間と回数	〔授業 (100分) + 自学自習 (200分)〕 × 15回	
〔本科目の目標〕本講義は半導体の基礎理論の復習から出発し、基本素子の動作原理、集積回路の構造から製造方法の原理と実例に至るまでを習得することを目標にする。特に集積化により発生する問題点、微細化のための製造技術の変遷、ナノテクノロジーにつながる現代の製造技術について理解を深める。		
〔本科目の位置付け〕本科で学習した半導体素子の基本動作原理からさらに発展し、素子の構造、特性と製造方法の関係、集積回路の製造技術までを学習する。特に集積回路の基本素子である MOS トランジスタについては、希望する特性を得るためのプロセス条件の導出までを学習する。		
〔学習上の留意点〕本科で使用した教科書などを利用して各自で復習すること。講義中に提示された問題は、各自で解いてレポートとして提出すること。また、資料として下記の参考書 (英文) のプリントを配布し解説する形で講義が進むので、必ず読むこと。試験は日本語であるが、配布資料の理解が欠かせないものとなる。		
〔授業の内容〕		
授 業 項 目	時限数	授 業 項 目 に 対 す る 達 成 目 標
1 . 半導体プロセスの概要		
1.1 集積回路の発展と集積化のための半導体素子構造の変遷	2	半導体の種類と Si の優位性、プレーナ構造、バイポーラ、MOS デバイス、CMOS の構造と製造プロセスの変遷、素子間分離技術について理解できる。微細化技術の進歩の概要とムーアの法則について理解できる。
1.2 半導体プロセス技術の概要	2	単結晶成長の基礎技術、エピタキシャル法の概要、酸化膜、多結晶シリコン、金属等の成膜技術 (各種 CVP、蒸着、スパッタ) の概要と基本原理、熱拡散、イオン打込み等の不純物導入法の概要について理解できる。フォトリソグラフィの基本原理と、縮小投影露光技術について理解できる。平坦化技術の必要性、ダマシンの概要を理解できる。
2 . 各種半導体素子の構造と動作機構		
2.1 キャリア統計	2	運動量-エネルギーのバンド構造、有効質量について理解できる。半導体における有効状態密度の導出ができる。不純物密度とフェルミレベルの関係、キャリア密度の計算ができる。
2.2 pn 接合の理論	4	少数キャリアの振る舞い、再結合、電子・正孔寿命について理解できる。過剰少数化キャリアが従う拡散方程式から、I-V 特性が導ける。階段接合における空乏層の電界、電位差、空乏層幅が求められる。
2.3 バイポーラトランジスタの構造と理論	4	拡散電流による解析モデルを理解し、電子・正孔寿命、拡散係数、ベース領域幅などから電流増幅率を導出できる。Evers-Moll モデル、Gummel-Poon モデルの概要を理解できる。
2.4 MOS トランジスタの構造と理論	6	MOS トランジスタの構造と動作原理、動作タイプを理解できる。フラットバンドの MOS 構造のバンドモデルを理解し、反転層が形成される条件、空間電荷 Q_s の導出、反転層形成の条件 $\phi_s = 2 \phi_B$ となることを理解できる。ゲート金属の仕事関数、界面電荷密度がバンドプロファイルへ及ぼす影響を理解し、閾値電圧の理論値を導出できる。反転層電荷密度 Q_n から、linear, saturation 領域の I_D を求めるモデルを理解し、チャンネル・相互コンダクタンスが導出できることを理解できる。サブスレッショルド領域特性とスイッチング特性の関係、及び短チャンネルの場合の影響について理解できる。
2.5 MOS トランジスタの設計	2	ゲート金属の仕事関数、半導体の不純物密度、界面電荷密度等のパラメータと閾値電圧からゲート酸化膜厚を決定できる。相互コンダクタンスとゲート長 / ゲート幅の関係から形状を決定できる。

<p>3 . ULSI デバイスの構造と製造方法</p> <p>3.1 スケールダウン理論と微細化の問題点</p> <p>3.2 微細化 MOS, CMOS の構造</p> <p>3.3 サブミクロンプロセス技術</p> <p>3.4 最新の集積回路製造技術動向</p> <p>--- 定期試験 --- 試験答案の返却・解説</p>	<p>2</p> <p>2</p> <p>1</p> <p>1</p> <p>2</p>	<p>微細化によりソース、ドレイン領域の空乏層の影響が増大し、パンチスルー、サブスレッショルド電流の増加等の短チャネル効果が発生することを理解できる。 電界一定、電圧一定、順電圧一定、一般スケーリング則の原理を理解できる。 ホットエレクトロンの注入メカニズムと特性へ及ぼす影響について理解できる。 短チャネル効果対策の方向性と、LDD,改良 LDD 構造を理解できる。</p> <p>基板の不純物濃度、寄生抵抗、寄生容量の影響とサリサイド構造、SOI 構造について理解できる。 CMOS の構造とラッチアップの機構について理解できる。</p> <p>紫外線露光、X 線露光、電子線描画、高解像度フォトレジストなど ULSI におけるフォトリソグラフィ技術の概要を理解できる。 ドライエッチングの原理と応用分野について理解できる。</p> <p>90nm から 45-30nm プロセスに向かったの技術動向、hi-k, low-k 材料の必要性、MEMS などその他の微細化、集積化デバイスの最新の動向について理解できる。</p> <p>授業項目 1.1~3.4 に対して達成度を確認する。 試験において誤った部分を理解できる。</p>
<p>〔教科書〕 特定の教科書は用いない</p> <p>〔参考書・補助教材〕 Physics of semiconductor devices; S.M.Sze, McGraw-Hill, 「ULSIデバイス・プロセス技術」菅野卓雄監、電子情報通信学会 ULSI Technology; C.Y.Chang, S.M.Sze, McGraw-Hill</p>		
<p>〔成績評価の基準〕 定期試験 (6 0 %) + レポート (3 0 %) + 演習及び質疑応答 (1 0 %)</p>		
<p>〔専攻科課程の学習教育目標との関連〕 3-3</p> <p>〔教育プログラムの学習・教育目標との関連〕 3-3</p> <p>〔JABEEとの関連〕 (d)(2)a)</p>		