

平成21年度 シラバス	学年・期間・区分	5年次・前期・B群
	対象学科・専攻	電気電子工学科
電子回路設計 (Electronic Circuits Design)	担当教員	奥 高洋 (Oku, Takahiro)
	教員室	電気電子工学科棟2階 (Tel 42-9079)
	E-Mail	oku@kagoshima-ct.ac.jp
教育形態 / 単位の種別 / 単位数	講義・演習 / 履修単位 / 1単位	
週あたりの学習時間と回数	授業(100分) × 15回	
〔本科目の目標〕 実用的な電子回路システムを設計するという観点において、これまでに学んできたデジタル回路を復習しながら、ハードウェア記述言語(HDL)を用いたデジタル回路の設計法および検証法について学習する。		
〔本科目の位置付け〕 実社会においてはHDLを用いたデジタル回路設計が主流となっていることから、既に修得したデジタル回路に関する知識とリンクさせ、より高度な実用的設計手法を修得する。		
〔学習上の留意点〕 論理式とゲート回路のつながりや状態遷移の概念を、具体的な回路を想定して理解すること。		
〔授業の内容〕		
授 業 項 目	時限数	授 業 項 目 に 対 す る 達 成 目 標
1. デジタル回路(復習) 1) 基本的事項と回路設計	6	<ul style="list-style-type: none"> <li>各ゲート素子を、論理式, MIL記号, 真理値表, カルノー図等で表現できる。</li> <li>カットアンドトライ法およびカルノー図を用いて論理の簡単化ができる。</li> <li>NAND OR変換, NOR AND変換ができる。</li> <li>組み合わせ回路の設計法を習得する。</li> <li>各種FFを、特性方程式, 回路図記号, 状態遷移表等で表現できる。</li> <li>同期式と非同期式およびネガティブエッジとポジティブエッジの相違について理解し、タイミングチャートから動作解析ができる。</li> <li>順序回路の設計法を習得する。</li> </ul>
2. ハードウェア記述言語 1) 基本的事項	2	<ul style="list-style-type: none"> <li>FPGAの設計用および検証用言語がHDLであることを理解する。</li> <li>設計方式にはトップダウン方式とボトムアップ方式があることを理解する。</li> </ul>
2) VHDLの基本的な文法	4	<ul style="list-style-type: none"> <li>VHDLプログラムには、論理合成(回路作成)用と検証(シミュレーション)用があることを理解する。</li> <li>VHDLプログラムは、ヘッダー、エンティティ、アーキテクチャの3部分から構成されることを理解する。また、各部に記述される内容を習得する。</li> <li>VHDLの基本的な文法を理解し、port文, 同時処理文, signal文の記述を習得する。</li> </ul>
3. VHDLによる回路設計 1) 設計支援ソフトウェア	2	<ul style="list-style-type: none"> <li>論理合成用の設計支援ソフトウェアの基本的な使用法を習得する。</li> </ul>
2) 基本的な回路設計	8	<ul style="list-style-type: none"> <li>簡単な論理回路をVHDLで記述し、実際に論理合成できる。</li> <li>回路動作を手動(マニュアル)でシミュレーションできる。</li> <li>component文, configuration文, portmap文, process文等を理解し、シミュレーション用プログラム(テストベンチ)のVHDL記述法を習得する。</li> <li>VHDLテストベンチを作成し、回路動作を自動シミュレーションできる。</li> </ul>
3) 応用設計	8	<ul style="list-style-type: none"> <li>component文やportmap文等を利用して、既成回路の呼び出しおよび別回路への組み込み方法を習得する。</li> <li>半加算器をVHDL記述し、それを組み込んだ全加算器の論理合成およびシミュレーションができる。</li> <li>エンコーダやデコーダ等の各種組み合わせ回路をVHDL記述し、論理合成およびシミュレーションができる。</li> <li>各種FFをVHDL記述し、論理合成およびシミュレーションができる。</li> <li>既成のFFを組み込んで各種カウンタをVHDL記述し、論理合成およびシミュレーションができる。</li> </ul>
--- 前期期末試験 ---		授業項目1～3について達成度を確認する。
試験答案の返却・解説		試験において間違った部分を理解出来る。
〔教科書〕「VHDLによるハードウェア設計入門」 著者：長谷川 裕恭 出版社：CQ出版社		
〔参考書・補助教材〕適宜プリントを配布		
〔成績評価の基準〕期末試験成績 (60%) + レポート / 演習等の平常点 (40%)		
〔本科(準学士課程)の学習教育目標との関連〕3-c		
〔教育プログラムの学習・教育目標との関連〕3-3		
〔JABEEとの関連〕(d)(1)		