

平成23年度 シラバス	学年・期間・区分	5年次・前期・B群	
	対象学科・専攻	電気電子工学科	
電子回路設計 (Electronic Circuits Design)	担当教員	奥 高洋 (Oku, Takahiro)	
	教員室	電気電子工学科棟 2階 (Tel 42-9079)	
	E-Mail	oku@kagoshima-ct.ac.jp	
教育形態 / 単位の種別 / 単位数	講義・演習 / 履修単位 / 1単位		
週あたりの学習時間と回数	授業 (100分) × 15回		
[本科目の目標] 実用的な電子回路システムを設計するという観点において、これまでに学んできたデジタル回路を復習しながら、ハードウェア記述言語(HDL)を用いたデジタル回路の設計法および検証法について学習する。			
[本科目の位置付け] 実社会においてはHDLを用いたデジタル回路設計が主流となっていることから、既に修得したデジタル回路に関する知識とリンクさせ、より高度な実用的設計手法を修得する。			
[学習上の留意点] 論理式とゲート回路のつながりや状態遷移の概念を、具体的な回路を想定して理解すること。			
[授業の内容]			
授 業 項 目	時限数	授業項目に対する達成目標	予習の内容
1. デジタル回路 (復習) 1) 基本的事項と回路設計	4	<ul style="list-style-type: none"> 各ゲート素子を、論理式, MIL記号, 真理値表, カルノー図等で表現できる。 カットアンドトライ法およびカルノー図を用いて論理の単純化ができる。 NAND⇔OR変換, NOR⇔AND変換ができる。 各種FFを、特性方程式, 回路図記号, 状態遷移表等で表現できる。 同期式と非同期式およびネガティブエッジとポジティブエッジの相違について理解し、タイミングチャートから動作解析ができる。 組み合わせ回路および順序回路の設計法を習得する。 	<ul style="list-style-type: none"> 「論理回路」および「デジタル回路」に関する事項全般
2. ハードウェア記述言語 1) 基本的事項	2	<ul style="list-style-type: none"> FPGAの設計用および検証用言語がHDLであることを理解する。 設計方式にはトップダウン方式とボトムアップ方式があることを理解する。 	<ul style="list-style-type: none"> 教科書 : pp. 13-17
2) VHDLの基本的な文法	4	<ul style="list-style-type: none"> VHDLプログラムには、論理合成(回路作成)用と検証(シミュレーション)用があることを理解する。 VHDLプログラムは、ヘッダー, エンティティ, アーキテクチャの3部分から構成されることを理解する。また、各部に記述される内容を習得する。 VHDLの基本的な文法を理解し, port文, 同時処理文, signal文の記述を習得する。 	<ul style="list-style-type: none"> 教科書 : pp. 17-35
3. VHDLによる回路設計 1) 設計支援ソフトウェア	2	<ul style="list-style-type: none"> 論理合成用の設計支援ソフトウェアの基本的な使用法を習得する。 	<ul style="list-style-type: none"> 配布するプリントの内容
--- 前期中間試験 ---		授業項目 1～2 について達成度を確認する。	
※ 次頁へ続く			

